

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317458

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 29/78

H01L 21/336

(21)Application number : 10-124365

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.05.1998

(72)Inventor : HIRAIWA ATSUSHI

OJI YUZURU

SAKUMA KAZUKI

SUZUKI NORIO

KANDA TAKAYUKI

TAKAHASHI KENJI

SHIMIZU HIROBUMI

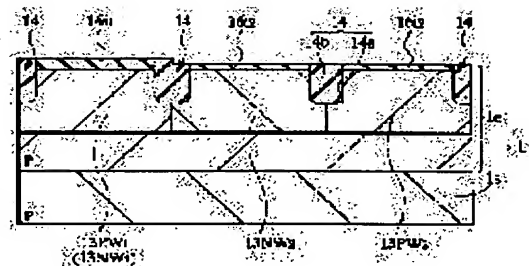
SAKAI SATORU

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the occurrences of defects in a gate insulating film by forming gate insulating films, having different thicknesses on a single-crystal semiconductor layer after the semiconductor layer is formed on a semiconductor substrate by the epitaxial method.

SOLUTION: After a single-crystal semiconductor layer 1e is formed on a semiconductor substrate 1s by the epitaxial method without through an element forming process, gate insulating films 16i1 and 16i2 having relatively different thicknesses are formed on the epitaxial layer 1e containing very few crystal defects. Consequently, the occurrences of the defects in the gate insulating film 16i1 can be reduced in the forming process of the gate insulating films 16i1 and 16i2. Thus the decomposition of a defect in the gate insulating film 16i1 into such a serious defect that causes insulation breakdown of the insulating film 16i1 can be suppressed, in the course of cleaning treatment which is performed before second gate oxidation in the process of forming the two kinds of gate insulating films. Therefore, the possibility of the gate insulating films 16i1 and 16i2 causing insulation breakdown can be reduced.



LEGAL STATUS

[Date of request for examination]

01.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-317458

(43)公開日 平成11年(1999)11月16日

(51) Int.Cl.⁶

識別記号

FI

H O 1 L 21/8234

27/088

29/78

21/336

H O 1 L 27/08

29/78

102Z

301Y

審査請求 未請求 請求項の数19 O.L (全 17 頁)

(21)出願番号

特願平10-124365

(22) 出願日

平成10年(1998)5月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 平岩 篤

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 大路 譲

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 佐久間 一樹

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

最終頁に続く

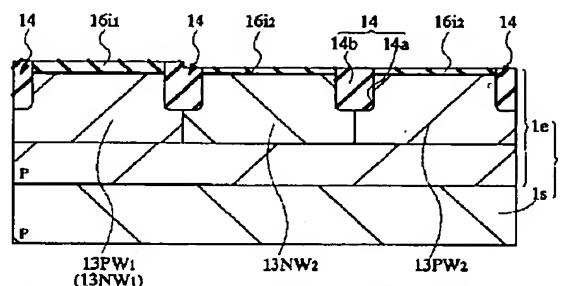
(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【要約】

【課題】 厚さが異なる2種以上のゲート絶縁膜を半導体基板上に設けている半導体集積回路装置において、そのゲート絶縁膜中の欠陥を低減する。

【解決手段】 半導体基板 1 s 上に形成された結晶欠陥の少ないエピタキシャル層上に厚さの異なる 2 種以上のゲート絶縁膜 16 i1, 16 i2 を形成するようにした。

图 6



1: 素子形成用基板
1c: エピタキシャル層(半導体単結晶層)
1s: 半導体基板
16i: ゲート絶縁膜(第1のゲート絶縁膜)
16z: ゲート絶縁膜(第2のゲート絶縁膜)

【特許請求の範囲】

【請求項 1】 半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成した後、その半導体単結晶層上に厚さの異なるゲート絶縁膜を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法において、前記半導体基板の導電型を決める不純物濃度がほぼ均一であることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の製造方法において、前記ゲート絶縁膜のうち、相対的に最も厚いゲート絶縁膜の厚さが 30 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 1 記載の半導体集積回路装置の製造方法において、前記半導体基板上に汚染元素を捕縛するゲッタリング能力を付加する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 1 記載の半導体集積回路装置の製造方法において、前記半導体単結晶層の厚さが、前記ゲート絶縁膜のうち、相対的に最も厚いゲート絶縁膜の厚さの半分以上あることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成する工程、(b) 前記半導体単結晶層上に第 1 のゲート絶縁膜を形成する工程、(c) 前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜の形成領域が露出するマスクを形成した後、それをエッチングマスクとしてマスクから露出する第 1 のゲート絶縁膜を除去する工程、(d) 前記 (c) 工程の後、前記マスクを除去した後、洗浄処理を施す工程、(e) 前記 (d) 工程の後、第 2 のゲート絶縁膜を形成する工程、(f) 第 2 のゲート絶縁膜形成処理を施した前記第 1 のゲート絶縁膜および第 2 のゲート絶縁膜上にゲート電極を形成する工程、(g) 前記半導体単結晶層に電界効果トランジスタのソース・ドレイン用の半導体領域を形成する工程。

【請求項 7】 請求項 6 記載の半導体集積回路装置の製造方法において、前記半導体基板の導電型を決める不純物濃度がほぼ均一であることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 6 記載の半導体集積回路装置の製造方法において、前記第 1 のゲート絶縁膜の厚さが 30 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 6 記載の半導体集積回路装置の製造方法において、前記半導体基板上に汚染元素を捕縛するゲッタリング能力を付加する工程を有することを特徴と

する半導体集積回路装置の製造方法。

【請求項 10】 請求項 6 記載の半導体集積回路装置の製造方法において、前記半導体基板はチョクラルスキー法により結晶成長させた半導体インゴットを板状に切断することで形成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成する工程、(b) 前記半導体単結晶層上に第 1 のゲート絶縁膜を形成する工程、(c) 前記第 1 のゲート絶縁膜上に第 2 のゲート絶縁膜の形成領域が露出する第 1 のマスクを形成した後、それをエッチングマスクとして第 1 のマスクから露出する第 1 のゲート絶縁膜を除去する工程、(d) 前記 (c) 工程の後、前記第 1 のマスクを除去した後、洗浄処理を施す工程、(e) 前記 (d) 工程の後、第 2 のゲート絶縁膜を形成する工程、(f) 第 2 のゲート絶縁膜形成処理を施した前記第 1 のゲート絶縁膜および第 2 のゲート絶縁膜上に第 3 のゲート絶縁膜の形成領域が露出する第 2 のマスクを形成した後、それをエッチングマスクとして第 2 のマスクから露出する上記第 1 もしくは第 2 のゲート絶縁膜を除去する工程、

(g) 前記 (f) 工程の後、前記第 2 のマスクを除去した後、洗浄処理を施す工程、(h) 前記 (g) 工程の後、第 3 のゲート絶縁膜を形成する工程、(i) 第 2 もしくは第 3 もしくはその両者のゲート絶縁膜形成処理を施した前記第 1 のゲート絶縁膜、第 3 のゲート絶縁膜形成処理を施した第 2 のゲート絶縁膜および第 3 のゲート絶縁膜上にゲート電極を形成する工程、(j) 前記半導体単結晶層に電界効果トランジスタのソース・ドレイン用の半導体領域を形成する工程。

【請求項 12】 請求項 11 記載の半導体集積回路装置の製造方法において、前記半導体基板の導電型を決める不純物濃度がほぼ均一であることを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 11 記載の半導体集積回路装置の製造方法において前記第 1 のゲート絶縁膜の厚さが 30 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 請求項 11 記載の半導体集積回路装置の製造方法において、前記半導体基板上に汚染元素を捕縛するゲッタリング能力を付加する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル成長により形成された半導体単結晶層を備え、前記半導体単結晶層上に形成された厚さの異なる複数種のゲート絶縁膜を有する複数の電界効果トランジスタを備えたことを特徴とする半導体集積回路装置。

【請求項16】 請求項15記載の半導体集積回路装置において、前記半導体基板の導電型を決める不純物濃度がほぼ均一であることを特徴とする半導体集積回路装置。

【請求項17】 請求項15記載の半導体集積回路装置において、前記複数種のゲート絶縁膜のうち、相対的に最も厚いゲート絶縁膜の厚さが30nm以下であることを特徴とする半導体集積回路装置。

【請求項18】 請求項15記載の半導体集積回路装置において、前記半導体基板に汚染元素を捕縛するゲッタリング能力を付加したことを特徴とする半導体集積回路装置。

【請求項19】 請求項15記載の半導体集積回路装置において、前記複数の電界効果トランジスタのうち、相対的に厚いゲート絶縁膜を有する電界効果トランジスタの駆動電圧の方が、相対的に薄いゲート絶縁膜を有する電界効果トランジスタの駆動電圧よりも高いことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、設計上の厚さが異なる2種以上のゲート絶縁膜を素子形成基板上に設けている半導体集積回路装置の製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】大規模集積回路(LSI; Large Scale Integrated Circuit)を構成するMIS(Metal Insulator Semiconductor)トランジスタのうち入出力回路を構成するものには外部からの供給電源および入出力の規格で決まる電圧が付加される一方で、内部回路を構成するものにはその性能を最適化するために異なる電圧を付加する必要が生じている。例えば記憶保持動作が必要な随時書き込み読み出し型記憶装置(DRAM; Dynamic Random Access Memory)においてはデータ保持時間を長くするためにメモセル内のMISトランジスタには周辺回路よりも高い電圧を付加する方が有利である。他方、マイコン・ロジックLSIにおいては消費電力の低減を図るために、内部回路のMISトランジスタに加える電圧を入力電圧よりも低く設定する必要がある。

【0003】ところで、MISトランジスタのゲート絶縁破壊を防止するためにはゲート絶縁膜に加わる電界強度を4MV/cm程度に留めておく必要があるため、半導体基板上にゲート絶縁膜を1種類しか形成しない場合(以下、1種ゲート絶縁膜プロセスと称する)にはその厚さを高電圧部に要求される値に合わせて設計することになる。この場合、低電圧部においては電界強度が低下するのでトランジスタの駆動能力が低下し、その結果、LSIの処理速度が低下するという問題が生ずる。これを防止するためには、高電圧部のゲート絶縁膜は相対的に厚

くしたまま、低電圧部のゲート絶縁膜を相対的に薄くする必要がある。すなわち、半導体基板上に設計上の厚さが異なる2種以上のゲート絶縁膜を形成することになる。

【0004】このような設計上の厚さが異なる2種のゲート絶縁膜を形成する技術については、例えば特開平2-096378号公報(第1の文献)、特開平2-15374号公報(第2の文献)および特開平8-195441号公報(第3の文献)に記載がある。

【0005】上記第1の文献には、低電圧用のMISトランジスタのゲート絶縁膜を高電圧用のMISトランジスタのゲート絶縁膜よりも薄くし、かつ、ゲート電極を低電圧用と高電圧用とで同一層で形成する技術が開示されており、上記第2の文献には、第1のゲート酸化を行い、仕上がり膜厚を大きくする部分以外のゲート絶縁膜を除去した後に第2のゲート酸化を行うことにより膜厚の異なるゲート絶縁膜を有するMISトランジスタを形成する技術が開示されている。以下、ゲート絶縁膜の厚さを2種類作り分ける技術について詳細に説明する。

【0006】まず、チョクラルスキー(以下、CZと称す)法で引き上げられた半導体基板上に、素子分離膜、ウェルおよび犠牲酸化膜をそれぞれ形成し、しきい値電圧調整用のイオン打ち込みを1種ゲート絶縁膜プロセスと同様に行った後、第1のゲート絶縁膜を形成する。続いて、ゲート絶縁膜の仕上がり膜厚を大きくする領域上に選択的にエッチングマスクを形成した後、その絶縁膜をエッチングする作用のある溶液を用いて同マスクに被覆されていない領域のゲート絶縁膜を除去する。その後、そのエッチングマスクの除去と洗浄とを行なった後に第2のゲート酸化を行う。その際、上記マスクに被覆されていた領域においては第1のゲート酸化による絶縁膜が残存したまま更にゲート酸化が行われるので、マスクに被覆されていなかった領域よりも厚いゲート絶縁膜が形成される。その後は、1種ゲート絶縁膜プロセスと同様な工程を経て半導体装置を完成する。なお、以下においては、従来方法であるか本発明であるかを問わず、ゲート絶縁膜の厚さを2種類作り分ける一連の工程を2種ゲート絶縁膜プロセスと称することにする。

【0007】また、上記した第3の文献(特開平8-195441号公報)には、バイポーラ型とMOS型トランジスタとを混載したBiCMOS(Bipolar Complementary MOS)型のLSIにおいて、半導体基板の表面にエピタキシャル薄膜を成長させた後に厚さの異なる2種類のゲート絶縁膜を形成した例がある。同例においては、まず高濃度のn型およびp型の埋め込み拡散層を形成する。これら拡散層は選択的に形成する必要があるところから、通常はレジストマスクの形成、イオン打ち込みによるドーパントの導入、レジスト除去、打ち込み損傷の回復を目的とした800℃以上の熱処理からなる一連の工程により形成している。

【0008】

【発明が解決しようとする課題】ところが、上記した2種ゲート絶縁膜プロセス技術においては、以下の課題があることを本発明者は見出した。

【0009】まず、上記第1および第2の文献の技術においては、CZ法により形成された半導体基板を用いているので、第1の酸化工程で形成した第1のゲート絶縁膜（相対的に厚くするゲート絶縁膜）にCZ法に特有な結晶欠陥に起因する欠陥が形成されており、その欠陥の多くは一般的に実用上問題のない軽度の欠陥であるが、その後の2種ゲート絶縁膜プロセスにおいて必要な洗浄工程を経ると絶縁破壊をもたらす重度の欠陥へと変質してしまう結果、その後の第2の酸化工程を経て形成された厚いゲート絶縁膜に絶縁破壊不良が発生するという問題がある。

【0010】すなわち、上述のようにゲート絶縁膜の仕上がり膜厚を大きくする領域上に選択的にエッチングマスクを形成した後、そのマスクに被覆されていない領域のゲート絶縁膜をエッチング除去する場合、そのエッチングマスクの形成処理およびエッチング処理により半導体ウエハに汚染物が付着する。同汚染物を十分に除去しないまま第2のゲート酸化処理を行うと、レジストに被覆されていた領域はもとより、被覆されていなかった領域においてもゲート絶縁膜中に欠陥が形成されるという問題が生ずる。また、酸化炉等に汚染が蓄積していくという問題もある。そこで、2種ゲート絶縁膜プロセスでは、第2のゲート酸化処理工程前の洗浄処理において汚染を十分に除去することが重要であり、その洗浄処理時に第1の酸化工程で形成したゲート絶縁膜を多少なりともエッチング除去する、いわゆるリフトオフ作用により汚染物を除去している。しかしながら、上記技術では、CZ法により作成された半導体基板を用いているので、CZ法に特有な結晶欠陥に起因した欠陥が第1のゲート絶縁膜中に形成されている。その欠陥の多くは一般的に実用上問題のない軽度の欠陥であるが、上記洗浄工程を経ると、その洗浄工程時におけるエッチング作用により絶縁破壊をもたらす重度の欠陥へと変質してしまう。このため、その洗浄工程後の第2の酸化工程を経て形成された厚いゲート酸化膜に絶縁破壊不良が発生する。本問題については、例えばテクニカルダイジェスト・オブ・アイイーディーエム1985、第372頁～第375頁に詳細に説明されている。

【0011】また、上記第3の文献の技術においては、ドーパントを打ち込んだ後にエピタキシャル薄膜を形成しているため、エピタキシャル薄膜中に多数の欠陥が発生する結果、ゲート絶縁膜の膜質向上を主な目的としてエピタキシャル薄膜上にゲート絶縁膜を形成したにもかかわらず、そのエピタキシャル薄膜上に形成したゲート絶縁膜には絶縁破壊不良が多発する問題がある。すなわち、高濃度にドーパントを打ち込んだ半導体基板におい

ては、1100℃以上の熱処理をもってしても打ち込み損傷に起因した結晶欠陥を解消することはできない。本発明者等がジルトルエッチング法を用いて行った実験結果によると、1平方センチメートル当たり約1万個もの結晶欠陥を観察した。これら欠陥のうち少なくとも一部は転位として半導体基板の表面に到達しているため、これらが原因となってその後に形成するエピタキシャル薄膜にも多数の欠陥が発生する。その結果、このようなエピタキシャル薄膜上に形成したゲート絶縁膜には絶縁破壊不良が多いという問題がある。このような問題は、ゲート絶縁膜の総面積がLSIの高集積化に伴い増加しているため、より一層深刻なものとなってきている。

【0012】本発明の目的は、厚さが異なる2種以上のゲート絶縁膜を半導体基板上に設けている半導体集積回路装置において、そのゲート絶縁膜中の欠陥を低減することのできる技術を提供することにある。

【0013】また、本発明の他の目的は、厚さが異なる2種以上のゲート絶縁膜を半導体基板上に設けている半導体集積回路装置の歩留まりおよび信頼性を向上させることのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明の半導体集積回路装置の製造方法は、半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成した後、その半導体単結晶層上に厚さの異なるゲート絶縁膜を形成する工程を有するものである。

【0017】また、本発明の半導体集積回路装置の製造方法は、(a)半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成する工程、(b)前記半導体単結晶層上に第1のゲート絶縁膜を形成する工程、(c)前記第1のゲート絶縁膜上に、第2のゲート絶縁膜の形成領域が露出するマスクを形成した後、それをエッチングマスクとしてマスクから露出する第1のゲート絶縁膜を除去する工程、(d)前記(c)工程の後、前記マスクを除去した後、洗浄処理を施す工程、(e)前記(d)工程の後、第2のゲート絶縁膜を形成する工程、(f)第2のゲート絶縁膜形成処理を施した前記第1のゲート絶縁膜および第2のゲート絶縁膜上にゲート電極を形成する工程、(g)前記半導体単結晶層に電界効果トランジスタのソース・ドレイン用の半導体領域を形成する工程を有するものである。

【0018】また、本発明の半導体集積回路装置の製造方法は、前記半導体基板に汚染元素を捕縛するゲッター

ング能力を付加する工程を有するものである。

【0019】また、本発明の半導体集積回路装置の製造方法は、(a)半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成する工程、(b)前記半導体単結晶層上に第1のゲート絶縁膜を形成する工程、(c)前記第1のゲート絶縁膜上に第2のゲート絶縁膜の形成領域が露出する第1のマスクを形成した後、それをエッチングマスクとして第1のマスクから露出する第1のゲート絶縁膜を除去する工程、(d)前記(c)工程の後、前記第1のマスクを除去した後、洗浄処理を施す工程、(e)前記(d)工程の後、第2のゲート絶縁膜を形成する工程、(f)第2のゲート絶縁膜形成処理を施した前記第1のゲート絶縁膜および第2のゲート絶縁膜上に第3のゲート絶縁膜の形成領域が露出する第2のマスクを形成した後、それをエッチングマスクとして第2のマスクから露出する上記第1もしくは第2のゲート絶縁膜を除去する工程、(g)前記(f)工程の後、前記第2のマスクを除去した後、洗浄処理を施す工程、(h)前記(g)工程の後、第3のゲート絶縁膜を形成する工程、(i)第2もしくは第3もしくはその両者のゲート絶縁膜形成処理を施した前記第1のゲート絶縁膜、第3のゲート絶縁膜形成処理を施した第2のゲート絶縁膜および第3のゲート絶縁膜上にゲート電極を形成する工程、(j)前記半導体単結晶層に電界効果トランジスタのソース・ドレイン用の半導体領域を形成する工程を有することものである。

【0020】上記以外の本発明の概要を簡単に記載すれば、以下の通りである。

【0021】すなわち、本発明の半導体集積回路装置の製造方法は、(a)半導体基板上に素子形成のためのプロセスを経ることなくエピタキシャル法により半導体単結晶層を形成する工程、(b)前記半導体単結晶層上に第1のゲート絶縁膜を形成する工程、(c)前記第1のゲート絶縁膜上に、第2のゲート絶縁膜の形成領域が露出するマスクを形成した後、それをエッチングマスクとしてマスクから露出する第1のゲート絶縁膜を除去する工程、(d)前記(c)工程の後、前記マスクを除去した後、洗浄処理を施す工程、(e)前記(d)工程の後、第2のゲート絶縁膜を形成する工程、(f)前記第1のゲート絶縁膜および第2のゲート絶縁膜上にゲート電極を形成する工程、(g)前記半導体単結晶層に電界効果トランジスタのソース・ドレイン用の半導体領域を形成する工程を有し、前記第1のゲート絶縁膜に第2のゲート絶縁膜形成処理を施したゲート絶縁膜を有する電界効果トランジスタはメモリの周辺回路を構成するMISトランジスタであり、前記第2のゲート絶縁膜を有する電界効果トランジスタはメモリセルを構成するMISトランジスタである。

【0022】また、本発明の半導体集積回路装置の製造

方法は、前記半導体基板および前記半導体単結晶層がシリコン単結晶からなる。

【0023】また、本発明の半導体集積回路装置の製造方法は、前記半導体単結晶層の厚さが1 μ m程度である。

【0024】また、本発明の半導体集積回路装置の製造方法は、前記半導体単結晶層中にその厚さよりも浅い位置まで分布をもつ半導体領域(ウェル)を有することである。

【0025】また、本発明の半導体集積回路装置の製造方法は、前記複数の電界効果トランジスタがpチャネル型のMISトランジスタおよびnチャネル型のMISトランジスタを有し、その双方のチャネル導電型のMISトランジスタにより相補型のMISトランジスタを構成することである。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する(なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する)。

【0027】(実施の形態1)図1は本発明の一実施の形態である半導体集積回路装置の平面図、図2は図1の半導体集積回路装置の要部断面図、図3～図7は図1の半導体集積回路装置の製造工程中における要部断面図、図8および図9は本発明によるゲート酸化膜の信頼性の向上をより明確にするための実験結果であってゲート酸化膜電界強度とゲート酸化膜累積欠陥密度との関係を示すグラフ図、図10は本発明によるゲート酸化膜の信頼性の向上をより明確にするための実験結果であってゲート酸化膜電界強度とゲート酸化膜累積欠陥密度との関係を示すグラフ図、図11は欠陥密度を8MV/cmで判定する根拠を説明するための図であってゲート酸化膜電界強度と平均寿命との関係を示すグラフ図、図12は本発明を適用するのに特に有効なゲート絶縁膜厚の範囲を説明するための図であってエッチング膜厚と8MV/cmにおける累積欠陥密度との関係を示すグラフ図である。

【0028】本発明の技術思想は、半導体基板の表面に形成されたエピタキシャル層上に厚さの異なるゲート絶縁膜を設けるものである。以下、本実施の形態1では、その本発明の技術思想を、特に限定されるものではないが、例えばマイクロプロセッサ(半導体集積回路装置)に適用した場合について説明する。

【0029】図1に示すように、例えば平面四角形状に形成された半導体チップ1Cの主面には、入出力回路領域2、フェーズロックループ回路領域3、命令キャッシュ回路領域4、データキャッシュ回路領域5、浮動小数点演算回路領域6、バスインターフェース回路領域7、入出力制御回路領域8、中央演算回路領域9、演算制御回路領域10、キャッシュ制御回路領域11およびその他

の回路領域 12 が配置されている。なお、半導体チップ 1C の外周近傍に配置された入出力回路領域 2 には、平面小四角形状の複数のボンディングパッド BP が、半導体チップ 1C の外周に沿って所定の距離を隔てて配置されている。このボンディングパッド BP は、半導体チップ 1C の内部の集積回路と外部装置とを電気的に接続するための電極であり、半導体チップ 1C 側において入出力回路領域 2 の入力回路、出力回路または入出力双方向回路と電気的に接続され、かつ、外部装置側においてボンディングワイヤまたは半田バンプ等を通じてパッケージ基板やプリント配線基板等の配線と電気的に接続される。このボンディングパッド BP の材料には、例えばアルミニウムまたはアルミニウム-シリコン-銅合金等が使用されている。

【0030】これら回路領域 2～12 のうち、入出力回路領域 2 およびフェーズロックループ回路領域 3 と、それ以外の回路領域 4～12 とでは各々の M I S ・ F E T (Metal Insulator Semiconductor Field Effect Transistor) を構成するゲート絶縁膜の厚さが異なり、相対的に高い電圧が印加される前者には、例えば 8 nm 程度の相対的に厚いゲート絶縁膜が形成され、相対的に低い電圧が印加され動作速度の向上が期待される後者には、例えば 4.5 nm 程度の相対的に薄いゲート絶縁膜が形成されている。これにより、入出力回路領域 2 およびフェーズロックループ回路領域 3 におけるゲート絶縁破壊不良を防止でき、かつ、それ以外の回路領域 4～12 における動作速度の向上を図ることが可能となっている。なお、特に限定されるものではないが、入出力回路領域 2 およびフェーズロックループ回路領域 3 の回路の駆動電圧は、外部装置との整合性を図るべく相対的に高く、例えば 3.3 V 程度であり、それ以外の回路領域 4～12 の回路の駆動電圧は、動作速度の向上、低消費電力化および信頼性の確保等の観点から相対的に低く、例えば 1.8 V 程度である。

【0031】次に、この半導体チップ 1C の要部断面図を図 2 に示す。半導体チップ 1C を構成する素子形成基板 1 は、半導体基板 1s の表面にエピタキシャル層 (半導体単結晶層) 1e が形成されて構成されている。

【0032】半導体基板 1s は、例えば面方位 (100)、比抵抗 $10 \Omega \cdot \text{cm}$ 程度の p 型のシリコン単結晶等からなり、例えば C Z 法による結晶成長法で形成されている。この半導体基板 1s の導電型を決める不純物には、例えばホウ素が用いられており、その不純物濃度分布は半導体基板 1s 中においてほぼ均一になっている。半導体基板 1s の不純物濃度は、例えば $1.5 \times 10^{15} \text{ cm}^{-3}$ 程度である。

【0033】この半導体基板 1s には汚染金属元素を捕縛するためのゲッタリング能力を向上させる手段が採られている。これは、エピタキシャルウエハはエピタキシャル層中に欠陥がほとんどないので、そのエピタキシャ

ル層上にゲート絶縁膜を形成することでゲート絶縁膜の膜質を向上させることができる反面、ゲッタリング能力が低下してしまうという問題があり、厚さの異なるゲート絶縁膜の形成に際して前記したエッチングマスク形成処理およびエッチング処理における清浄度が適切でない場合に洗浄により汚染が十分に除去できず、形成したゲート絶縁膜の欠陥が増加する危険が生じるからである。これを防ぐには、半導体基板 1s にゲッタリング能力を付加するのが望ましい。

10 【0034】その第 1 の方法は、例えばホウ素濃度の高い (密度 $1 \times 10^{17} \text{ 個/cm}^3$ 以上) 半導体基板 1s を用いてシリコン膜をエピタキシャル成長させる方法である。第 2 の方法は、裏面に多結晶シリコン膜を事前に形成した半導体基板 1s を用いてシリコン膜をエピタキシャル成長させる方法である。

【0035】第 3 の方法は、半導体基板 1s に対して比較的低温 (600°C ないし 900°C) の熱処理を事前に施した上でシリコン膜をエピタキシャル成長させる方法が挙げられる。第 4 の方法は、上記第 3 の方法の熱処理をシリコン膜のエピタキシャル成長の後に行う方法があり、この方法も上記ゲッタリング能力の低下を補う上で有効である。なお、第 3 の方法と第 4 の方法とを比べた場合、第 3 の方法の方が、ゲッタリング能力が高く、かつ、処理時間が短い。

【0036】さらに、第 5 の方法は、ゲート酸化工程よりも前の工程において 1100°C 以上の熱処理を施す方法である。これは、半導体基板 1s 中の酸素析出物の成長を促すことにより金属汚染の捕捉能力を向上させる方法であり、上記した第 3 の方法と組み合わせるとさらに効果的である。

30 【0037】これらゲッタリング能力の向上により第 2 のゲート酸化前の洗浄処理を軽減できるので、相対的に厚い方のゲート絶縁膜における膜厚の制御性および均一性を向上させることができる、という優れた効果を得ることが可能となる。

【0038】エピタキシャル層 1e は、例えば p 型のシリコン単結晶からなり、その厚さは、少なくとも相対的に厚いゲート絶縁膜の半分の厚さ以上に設定されている。本実施の形態 1 では、エピタキシャル層 1e に形成される素子の特性、エピタキシャル層 1e の成長時間および経済性等の種々の要素を考慮して、そのエピタキシャル層 1e の厚さを、特に限定されないが、例えば $1 \mu\text{m}$ 程度にしている。エピタキシャル層 1e の不純物濃度は、半導体基板 1s と同じである。

【0039】このエピタキシャル層 1e には、n ウエル 13NW1, 13NW2 および p ウエル 13PW1, 13PW2 が形成されている。n ウエル 13NW1, 13NW2 は、例えばリンが導入されてなり、p ウエル 13PW1, 13PW2 は、例えばホウ素が導入されてなる。この n ウエル 13NW1, 13NW2 および p ウエル 13PW1,

13PW2の不純物濃度は、例えば $3 \times 10^{17} \text{ cm}^{-3}$ 程度である。これらnウエル13NW1, 13NW2およびpウエル13PW1, 13PW2は、いずれもエピタキシャル層1eの主面からエピタキシャル層1eの厚さ方向に延び、エピタキシャル層1eの途中の深さ位置まで広がって形成されている。なお、nウエル13NW1, 13NW2およびpウエル13PW1, 13PW2がエピタキシャル層1eを越えてさらに深い位置まで広がって形成される場合もある。

【0040】また、エピタキシャル層1eの主面には、浅溝型の分離部14が形成されている。この分離部14は、エピタキシャル層1eの厚さ方向に掘られた浅溝14a内に、例えばシリコン酸化膜等からなる分離用絶縁膜14bが埋め込まれて形成されている。なお、浅溝14aは、上記nウエル13NW1, 13NW2およびpウエル13PW1, 13PW2よりも浅い位置まで掘られている。

【0041】この分離部14に囲まれた素子形成領域には、ゲート長が、例えば0.25 μm 程度のpチャンネル型のMIS・FET（以下、pMISと略す）QP1, QP2およびnチャンネル型のMIS・FET（以下、nMISと略す）QN1, QN2が形成されている。そして、このpMISとnMISとにより相補型のMIS・FETが構成されている領域もある。

【0042】このpMISQP1, QP2の各々は、nウエル13NW1, 13NW2の各々に形成された一対の半導体領域15pd, 15pdと、エピタキシャル層1eの主面上に形成されたゲート絶縁膜16i1, 16i2と、その各々の上に形成されたゲート電極17gとを有している。また、nMISQN1, QN2の各々は、pウエル13PW1, 13PW2の各々に形成された一対の半導体領域15nd, 15ndと、エピタキシャル層1eの主面上に形成されたゲート絶縁膜16i1, 16i2と、その各々の上に形成されたゲート電極17gとを有している。

【0043】一対の半導体領域15pd, 15pdは、pMISQP1, QP2のソース・ドレイン領域を形成するための領域であり、チャンネル領域を挟んで互いに離間して形成されている。また、一対の半導体領域15nd, 15ndは、nMISQN1, QN2のソース・ドレイン領域を形成するための領域であり、チャンネル領域を挟んで互いに離間して形成されている。

【0044】各半導体領域15pd, 15ndは、低濃度領域15pd1, 15nd1と、高濃度領域15pd2, 15nd2と、シリサイド層15d3とを有している。低濃度領域15pd1, 15nd1は、主としてホットキャリア効果を抑制するための領域であり、チャンネル領域に隣接している。また、高濃度領域15pd2, 15nd2は、低濃度領域15pd1, 15nd1の平面寸法分だけチャンネル領域から平面的に離間した位置に形成されて

いる。この低濃度領域15pd1および高濃度領域15pd2は、例えばホウ素が導入されてp型に設定されている。また、この低濃度領域15nd1および高濃度領域15nd2は、例えばリンまたはヒ素が導入されてn型に設定されている。なお、低濃度領域15pd1, 15nd1の導電型を決める不純物の濃度は、それぞれ高濃度領域15pd2, 15nd2のそれに比べて低く設定されている。

【0045】また、シリサイド層15d3は、半導体領域15pd, 15ndと配線との接触抵抗を下げる機能を有しており、例えばチタンシリサイド等からなり、半導体領域15pd, 15ndの上部に形成されている。なお、低濃度領域15pd1, 15nd1の上記チャンネル領域側の底部角近傍にソース・ドレイン間のパンチスルーを抑制するためのポケット領域を設けても良い。このポケット領域は、半導体領域15pd, 15ndの導電型とは反対の導電型に設定される。

【0046】ゲート絶縁膜16i1, 16i2は、共に、例えばシリコン酸化膜からなるが、その厚さが異なり、ゲート絶縁膜（第1のゲート絶縁膜）16i1の厚さの方が、ゲート絶縁膜（第2のゲート絶縁膜）16i2の厚さよりも厚く形成されている。ゲート絶縁膜16i1の厚さは、例えば8nm程度であり、上記した入出力回路領域2およびフェーズロックループ回路領域3（図1参照）のMIS・FETを構成し、ゲート絶縁膜16i2の厚さは、例えば4.5nm程度であり、上記した回路領域4～12（図1参照）のMIS・FETを構成している。いずれのゲート絶縁膜16i1, 16i2もエピタキシャル層1e上に形成することにより、膜質を向上させることができるので、高い信頼性が得られている。

【0047】なお、ゲート絶縁膜16i1, 16i2の両方または薄い方を酸化窒化膜（SiON）で形成しても良い。これにより、ゲート絶縁膜16i1, 16i2中における界面単位の発生を抑制でき、また、ゲート絶縁膜16i1, 16i2中の電子トラップを低減できるので、ゲート絶縁膜16i1, 16i2におけるホットキャリア耐性を向上させることが可能となる。したがって、ゲート絶縁膜16i1, 16i2の信頼性（特に、膜厚の薄いゲート絶縁膜16i2の信頼性）を向上させることが可能となる。

【0048】このようなゲート絶縁膜16i1, 16i2の酸化方法としては、例えばゲート絶縁膜16i1, 16i2を酸化処理によって成膜する際に NH_3 ガス雰囲気や NO_2 ガス雰囲気中において高温熱処理を施す方法、シリコン酸化膜等からなるゲート絶縁膜16i1, 16i2を形成した後、その上面に窒化膜を形成する方法、エピタキシャル層1eの主面に窒素をイオン注入した後にゲート絶縁膜16i1, 16i2の形成のための酸化処理を施す方法またはゲート電極形成用のポリシリコン膜に窒素をイオン注入した後、熱処理を施して窒素を

ゲート絶縁膜16i1, 16i2に析出させる方法等がある。

【0049】また、ゲート電極17gは、導体膜17g1上にシリサイド層17g2を設けた2層構造となっている。この導体膜17g1は、例えば低抵抗ポリシリコンからなる。また、シリサイド層17g2は、ゲート電極17gの電気抵抗を下げ、かつ、配線との接触抵抗を下げる機能を有し、例えばチタンシリサイド等からなり、上記シリサイド層15d3と同じ形成工程時に形成されている。

【0050】ただし、ゲート電極17gの構造は、これに限定されるものではなく種々変更可能であり、例えば低抵抗ポリシリコンの単体膜構造または低抵抗ポリシリコン上に窒化チタンや窒化タングステン等のバリア金属膜を介してタングステン等のような金属膜を設けたポリメタル構造でも良い。ポリメタル構造を採用した場合にはゲート電極17gの電気抵抗を大幅に下げることができる。この構造は、特にゲート電極17gのゲート幅が長い場合に有効である。

【0051】なお、ゲート電極17gの側面には、例えばシリコン酸化膜、シリコン窒化膜またはそれらの複合膜等からなるサイドウォール18が形成されている。サイドウォール18をシリコン窒化膜で形成した場合には、層間絶縁膜に半導体領域15pd, 15ndが露出するような接続孔を穿孔する際にそのサイドウォール18をエッチングストップとして機能させることで当該接続孔を自己整合的に位置合わせ良く形成することができるので、素子のレイアウト面積の微細化、信頼性の向上および特性の向上を実現できる。

【0052】このような素子形成基板1の主面上には、第1層から第5層の配線19L1～19L5が形成されている。第1層の配線19L1の配線層とエピタキシャル層1eの主面との間には層間絶縁膜20aが設けられている。この層間絶縁膜20aの一部には、半導体領域15pd, 15ndが露出するような接続孔21aが穿孔されており、その接続孔21aには、例えば低抵抗ポリシリコンが埋め込まれプラグ22aが形成されている。上記した第1層の配線19L1は、例えばタングステン等からなり、プラグ22aを通じて半導体領域15pd, 15ndと電氣的に接続されている。

【0053】また、第2層から第5層の配線19L2～19L5は、例えばアルミニウムまたはアルミニウム-シリコン-銅合金からなり、各配線層の間には、それぞれ層間絶縁膜20b～20eが設けられている。層間絶縁膜20b～20eの各々の一部には、下層の配線が露出するような接続孔21b～21eが穿孔され、その各々にプラグ22b～22eが形成されている。このプラグ22b～22eは、例えば低抵抗ポリシリコン、タングステンまたは窒化チタンからなり、これを通じてその上下の配線間が電氣的に接続されている。なお、層間絶

縁膜20a～20eは、例えばシリコン酸化膜からなる。この層間絶縁膜20e上には、表面保護膜23が被着されており、これにより、第5の配線19L5が被覆されている。表面保護膜23は、例えばシリコン酸化膜の単体膜またはシリコン酸化膜上にシリコン窒化膜を堆積した複合膜で形成されている。

【0054】次に、本実施の形態1の半導体集積回路装置の製造方法を図3～図7により説明する。なお、図3～図7の断面図は、説明を簡単にするため図1の一部を抜き出して示したものである。

【0055】まず、図3に示すように、半導体基板1s上にエピタキシャル層1eを形成した素子形成基板1を用意する。

【0056】半導体基板1sは、例えばCZ法により得られた半導体インゴットを、外形整形、切断（スライス）、周辺形状加工、ラッピング、エッチング、鏡面研磨、洗浄および検査等のような処理工程を適宜経て作成されている。なお、この半導体基板1s中のホウ素等は、CZ法等による結晶成長時に導入される。

【0057】また、エピタキシャル層1eは、例えばCVD法で形成されている。すなわち、例えば四塩化ケイ素、三塩化シラン、ジクロルシランまたはモノシラン等の原料ガスを水素等のようなキャリアガスにのせて半導体基板1sの表面に流し、水素還元または熱分解により半導体基板1sの表面にシリコンを析出させることで形成されている。

【0058】続いて、この素子形成基板1に浅溝型の分離部14を形成する。この分離部14は、エピタキシャル層1eに浅溝14aをフォトリソグラフィ技術およびドライエッチング技術により掘った後、その浅溝14aを含むエピタキシャル層1e上に、例えばシリコン酸化膜等からなる分離用絶縁膜14bをCVD法等により堆積し、さらに、その分離用絶縁膜14bをCMP（Chemical Mechanical Polishing）法等により削り、浅溝14a内のみに分離用絶縁膜14bを残すことで形成されている。

【0059】その後、エピタキシャル層1eの表面層の改質と次工程以降における汚染に対する表面保護を兼ねた犠牲酸化膜の形成処理、nウェル13NW1, 13NW2およびpウェル13PW1, 13PW2（図1参照）の形成処理および各MIS・FETのしきい値電圧調整用のイオン打ち込み処理を順に行った後、例えば希フッ酸水溶液を用いて上記犠牲酸化膜を除去する。ここまでの工程は、上記素子形成基板1を用いること以外通常の方法によった。

【0060】次いで、素子形成基板1に対して、第1回目の酸化処理を施すことにより、図4に示すように、エピタキシャル層1e上にゲート絶縁膜16iを形成する。この酸化処理では、例えば800℃程度のウェット酸化処理を採用した。また、この段階におけるゲート絶

縁膜16iの厚さは、エピタキシャル層1eの主面の全領域において設計上等しく、例えば7.7nm程度である。

【0061】ここで、設計上とは誤差の範囲を含むことを意味し、設計上等しいとは、その酸化処理工程で目的とした厚さが等しいことを意味するものであり、実物を観測した場合に厳密に見れば厚さが異なっている部分があったとしてもそれが誤差の範囲内であるならば等しいと解することを意味するものである。

【0062】続いて、図5に示すように、この素子形成基板1の主面上に、相対的に厚いゲート絶縁膜を形成する領域が被覆され、かつ、相対的に薄いゲート絶縁膜を形成する領域が露出されるフォトレジストパターン24aをフォトリソグラフィ技術により形成した後、これをエッチングマスクとして、例えばフッ酸とフッ化アンモニウムの混合水溶液を用いたエッチング処理を施すことにより、フォトレジストパターン24aから露出する領域ではゲート絶縁膜16iを除去し、フォトレジストパターン24aで覆われた領域ではゲート絶縁膜16iを残す。

【0063】その後、フォトレジストパターン24aをオゾンアッシャ等により除去した後、例えば50℃程度に加熱したアンモニア水と過酸化水素水との混合水溶液、80℃程度に加熱した塩酸と過酸化水素水との混合水溶液および希釈したフッ酸水溶液を順に用いて洗浄する。

【0064】この際、本実施の形態1では、ゲート絶縁膜16iをエピタキシャル層1e上に形成していることにより、ゲート絶縁膜16i中の欠陥誘発要素が非常に少ないので、この洗浄処理によってゲート絶縁膜16iに致命的な欠陥が生じるのを、エピタキシャル層1eを設けない通常の半導体基板上にそのゲート絶縁膜を形成した場合に比較して大幅に低減することができる。

【0065】次いで、素子形成基板1に対して、第2回目の酸化処理を施すことにより、図6に示すように、エピタキシャル層1e上に厚さの異なるゲート絶縁膜16i1, 16i2を形成する。この酸化処理では、例えば750℃程度のウェット酸化処理を採用した。また、この段階におけるゲート絶縁膜16i1, 16i2の厚さは互いに異なり、相対的に厚いゲート絶縁膜16i1の厚さは、例えば8nm程度、相対的に薄いゲート絶縁膜16i2の厚さは、例えば4.5nm程度である。

【0066】この相対的に厚いゲート絶縁膜16i1の厚さが、第1回目の酸化処理後のゲート絶縁膜16iの厚さ(7.7nm程度)にほぼ等しいのは、第1回目の酸化処理後の洗浄工程によりゲート絶縁膜16iの上層部分が若干削られた後再度酸化処理を受けたからである。ただし、上記したようにゲート絶縁膜16iは膜質が良好なので、その洗浄処理等によりゲート絶縁膜16iの上層部分が削られたとしてもそれは設計(誤差)の範囲

内であり、致命的な欠陥になるものを大幅に低減できるのである。なお、エピタキシャル層を設けない通常の半導体基板上に形成したゲート絶縁膜の場合にはその洗浄工程等により上層部分が削られると、そのゲート絶縁膜中に存在し、それまでは問題とならなかった欠陥が露出するようになり、その露出した欠陥部分を起点として、そのゲート絶縁膜に半導体基板の主面に達するような微細な孔が形成され致命的な欠陥に到る場合等がある。

【0067】続いて、図7に示すように、ゲート絶縁膜16i1, 16i2および分離部14上に、例えば低抵抗ポリシリコンからなる導体膜17をCVD法等により形成した後、この導体膜17をフォトリソグラフィ技術およびドライエッチング技術によりパターンニングすることにより、上記図1に示したゲート電極17gの導体膜17g1を形成する。

【0068】その後、素子形成基板1の主面上に導体膜17g1の表面を覆うような絶縁膜をCVD法等により形成した後、その絶縁膜を異方性のドライエッチング処理によってエッチバックすることにより、導体膜17g1の側面にサイドウォール18(図1参照)を形成する。

【0069】さらに、その後、導体膜17g1の上面および半導体領域15pd, 15ndの上面を露出させた後、素子形成基板1の主面上に、例えばチタン等のような導体膜をスパッタリング法等により被着し熱処理を施すことにより、導体膜17g1の上部および半導体領域15pd, 15ndの上部に、それぞれシリサイド層17g2, 15d3, 15d3を形成する。これ以降は、半導体集積回路装置の通常の製造プロセスを経て、図1および図2に示したマイクロプロセッサを完成させた。

【0070】次に、本発明の技術思想によるゲート絶縁膜の信頼性の向上効果をより明確に確認するための実験結果を図8および図9により説明する。

【0071】図8および図9は、第1のゲート電極の形成工程までを、後述する点を除き、上記実施の形態1と同一工程を経て形成したMOS(Metal Oxide Semiconductor)キャパシタを用いて、ゲート酸化膜に加える電界を増加させていった際に絶縁破壊したキャパシタの数を元にポアソン分布を仮定して欠陥の累積密度を求め、これを酸化膜電界強度の関数として示したものである。

【0072】なお、同MOSキャパシタの作成方法は、上記エッチングマスクを半導体チップ全体に形成したものと全く形成しないものとを同一半導体ウエハ上に形成した点およびゲート電極が素子形成領域の全体を被覆するように形成されている点が上記実施の形態1の作成方法と異なる。これにより、ゲート酸化膜の厚さをチップ単位で作り分けた。各々のゲート酸化膜の厚さはそれぞれ4.5nmと8nmである。

【0073】図8および図9は、薄膜側および厚膜側の

ゲート酸化膜の累積欠陥をゲート酸化膜に印加した電界強度の関数としてそれぞれ示す。通常の使用状態においてゲート酸化膜に加わる電界の強度は $4\text{MV}/\text{cm}$ 程度であるが、長期間（通常は10年）の使用でも絶縁破壊をもたらさないようにするためには、図8および図9における測定の場合のように短期的には常用状態より高めの $8\text{MV}/\text{cm}$ 程度の電界を加えても絶縁破壊しないようにすることが必要である。今日のLSIの集積度を考慮すると絶縁破壊をもたらす欠陥の密度を多くとも2個 $/\text{cm}^2$ 、望ましくは1個 $/\text{cm}^2$ 以下にすることが必要である。図8および図9から、本発明によればゲート酸化膜の絶縁破壊をもたらす欠陥密度は薄い方のゲート酸化膜ではほとんど0、厚い方では1個 $/\text{cm}^2$ 以下と今日のLSIに必要なとされるレベルに十分到達していることが分かる。

【0074】図10には、素子形成基板として本発明で説明したエピタキシャルシリコン基板等とCZ法による半導体基板（CZ基板と略す）とを用いた場合の結果を比較して示す。同図を求めるのに使用したMOSキャパシタは、第1の熱酸化膜の厚さを18nm、第2の熱酸化膜の厚さを12nmとした点、およびレジストマスクをオゾン送気しながら 120°C に加熱した濃硫酸（以下オゾン硫酸と称す）中で除去した点以外は、図8および図9のMOSキャパシタと同様にして作成した。仕上りのゲート酸化膜の厚さはそれぞれ12nmと25nmであった。

【0075】図8および図9から明らかなように相対的に厚い方のゲート酸化膜の信頼性の方が劣るので、図10には相対的に厚い方のゲート酸化膜に関する結果を示した。この図10から、本発明によればゲート酸化膜の絶縁破壊をもたらす欠陥密度は、CZ基板を用いた場合の技術の5個 $/\text{cm}^2$ から0.7個 $/\text{cm}^2$ へと大きく低減され、本発明の有効性が改めて確認できる。

【0076】なお、図8～図10の結果を比較するとレジスト除去をオゾンアッシャとオゾン硫酸のいずれで行おうとも厚膜側のゲート酸化膜の欠陥密度は同等のレベルにあることが分かる。したがって、レジスト除去をオゾンアッシャで行った方が危険な作業および有害薬品の使用量を減らすことができるという製造上の利点がある。また、レジスト除去に低損傷と称するプラズマアッシャを用いた場合にもゲート酸化膜の信頼性に関してほぼ同等の結果を得ることができる場合もあったが、プラズマアッシャの中には厚膜側のゲート酸化膜の絶縁破壊を増加させたり、膜厚を減少させたりするものがあった。また、同一方式のプラズマアッシャを用いた場合にも生産ラインによってゲート酸化膜の絶縁破壊がオゾンアッシャと同等の場合と増加する場合とがあった。したがって、レジスト除去にプラズマアッシャを用いる場合には十分な吟味が必要である。

【0077】次に、欠陥密度を $8\text{MV}/\text{cm}$ で判定する

根拠について説明する。通常の動作条件（印加電圧 $4\text{MV}/\text{cm}$ ）で10年（ 3×10^8 秒）以内にゲート酸化膜に絶縁破壊をもたらす欠陥は、絶縁耐圧測定では $8\text{MV}/\text{cm}$ 以下の印加電圧で絶縁破壊をもたらすと推定している。その根拠は以下の通りである。

【0078】無欠陥のゲート酸化膜は図11のTa（INTRINSIC）で示した絶縁破壊寿命を有する。同図は微小（面積 10^{-6}cm^2 ）なMOSキャパシタを用いて $11 \sim 15\text{MV}/\text{cm}$ の範囲内で実験的に求めた平均寿命 t_{50} をもとに $t_{50} = A \exp(B/Fox)$ （ただし、AとBは実験時とのフィッティングにより求まる定数）の関係をjを用いて内挿および外挿したものである。なお、上記式はProc. IEEE 1991 Int. Conf. Microelectronic Test Structures 4, 17-21 (1991)に記載がある。

【0079】酸化膜の欠陥においては局所的に膜厚が薄いと仮定することにより欠陥起因の絶縁破壊の電界加速性を予測できることが知られている。そこで、動作条件（ $4\text{MV}/\text{cm}$ ）での平均寿命 t_{50} が10年（ 3×10^8 秒）となるように酸化膜欠陥の膜厚をフィッティングにより求める。本来の厚さの半分の欠陥が酸化膜中に存在するとして寿命予測を行った結果を図11中のTb（WEAK SPOT）で表示した実線で示す。通常の絶縁耐圧測定（TZDB）では絶縁膜へ約0.1秒程度電圧を印加した後、絶縁破壊の有無を判定するので、これに相当する電界強度を上記Tbから読み取ると $8\text{MV}/\text{cm}$ となる。

【0080】次に、本発明に至った検討過程において、本発明が特に有効であるゲート絶縁膜厚の範囲を見出したので、図12を用いてこれを説明する。同図はCZ基板（発明者検討技術）およびCZ基板上にエピタキシャルシリコン膜を形成した基板（本発明）をそれぞれ用いてゲート酸化膜を形成し、例えば希フッ酸水溶液中において同酸化膜をエッチングした後にゲート電極を形成することにより作成したMOSキャパシタのゲート酸化膜の欠陥密度を図8～図10と同様にして測定した結果を示したものである。

【0081】同図に示した実験においてはゲート酸化膜の初期の膜厚を5nmから150nmまで種々に変化させ、かつ、エッチング量も種々に変化させて作成した試料を測定に用いた。このように作成条件が様々であってもエッチング量を初期の膜厚で除した値を用いると、 $8\text{MV}/\text{cm}$ 以下の電界強度で絶縁破壊をもたらす欠陥の密度が同図中のハッチングで示した領域の中におおむね分布することが明らかになった。なお、2種ゲート酸化膜プロセスのように洗浄後に再度酸化した場合についても検討したところ、欠陥密度が若干減少する傾向にあるものの図10と大差ない結果が得られた。

【0082】どのように簡略化した洗浄を用いても酸化

膜のエッチング量を2nm以下にすることは容易ではないので、上記実施の形態1のように初期膜厚が10nmと薄くなると規格化したエッチング量は0.2以上となる。その結果、本発明のようにエピタキシャルシリコン基板を用いない限りゲート酸化膜の欠陥密度を目標とする2個/cm²以下とすることが困難であることが図10からも確認できる。なお、ゲート酸化膜の厚さが100nm程度以上であれば、安価なCZ基板を用いても必要な信頼性を確保することができる。しかしながら、ゲート酸化膜の厚さが30nm以下の場合には規格化したエッチング量が0.07以上となり欠陥密度の目標値を達成することが困難となる。

【0083】このような本実施の形態1によれば、以下の効果を得ることが可能となる。

【0084】(1). 2種ゲート絶縁膜プロセスにおいて、結晶欠陥が極めて少ないエピタキシャル層1e上に相対的に厚さの異なるゲート絶縁膜16i1, 16i2を形成することにより、ゲート絶縁膜の形成プロセス中においてゲート絶縁膜16i中に生じる欠陥を低減できるので、2種ゲート絶縁膜プロセスにおいて必要な第2のゲート酸化前の洗浄処理において、ゲート絶縁膜16i中の欠陥が絶縁破壊をもたらすような重度の欠陥に変質する現象を抑制することができる。このため、相対的に厚さの異なるゲート絶縁膜16i1, 16i2の絶縁破壊の発生率を低減することができるので、その絶縁破壊に起因する半導体集積回路装置の不良発生率を低減することができる。

【0085】(2). 半導体基板1sにゲッタリング機能を付加したことにより、第2のゲート酸化前の洗浄処理を軽減することができるので、相対的に厚い方のゲート絶縁膜16i1の膜厚制御性および均一性を向上させることができる。

【0086】(3). 上記(1)、(2)により、半導体集積回路装置の歩留まり、信頼性および電気的特性を向上させることが可能となる。

【0087】(4). 上記(1)、(2)および(3)により、信頼性が高く、電気的性能の高い半導体集積回路装置のコスト低減を推進することが可能となる。

【0088】(実施の形態2) 図13および図14は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0089】本実施の形態2においては、本発明の技術思想を、例えばDRAM (Dynamic Random Access Memory) に適用した場合について説明する。図13はDRAMのメモリセルMCの一部を示し、図14はその周辺回路の一部を示している。

【0090】本実施の形態2においては、例えば厚さ2μm程度のシリコン単結晶膜からなるエピタキシャル層1eをエピタキシャル成長法により形成した素子形成基板1を用いた。2種ゲート絶縁膜プロセスを前記実施の

形態1と同様にして行った点以外は、通常の方法によりDRAMを完成させた。

【0091】メモリセル領域においてエピタキシャル層1e中にはpウェル13PW3が形成され、周辺回路領域においてエピタキシャル層1e中にはpウェル13PW4が形成されている。このpウェル13PW3, 13PW4は、例えばホウ素等のような不純物がエピタキシャル層1eの途中の深さ位置まで広がって形成されている。メモリセル領域におけるpウェル13PW3の側部および底部を含む全体をn型の半導体領域で取り囲み、pウェル13PW3に外部ノイズが入るのを抑制するウェル分離構造を形成しても良い。分離部14AはLOCOS (Local Oxidization Of Silicon) 法等によるフィールド絶縁膜で形成されている。この分離部14Aを前記実施の形態1と同様に浅溝型で形成しても良い。

【0092】メモリセルMCは、メモリセル選択MIS・FETQとキャパシタCとを有している。メモリセル選択MIS・FETQは、一対の半導体領域25nd, 25ndとゲート絶縁膜16i1とゲート電極17gとを有している。半導体領域25ndには、例えばリンまたはヒ素が導入されている。ゲート絶縁膜16i1の厚さは、例えば8nm程度に形成した。ゲート電極17gはDRAMのワード線WLの一部でもある。ゲート電極17g (ワード線WL) 上には、例えばシリコン酸化膜またはシリコン窒化膜からなるキャップ絶縁膜26が形成されている。

【0093】このメモリセル選択MIS・FETQの一方の半導体領域25ndにはキャパシタCが電気的に接続され、他方の半導体領域25ndにはビット線BLが電気的に接続されている。キャパシタCは、蓄積電極27a上に容量絶縁膜27bを介してプレート電極27cを設けて成る。蓄積電極27aは、例えば低抵抗ポリシリコンからなり、半導体領域25ndに直接接続されている。容量絶縁膜27bは、情報記憶用の電荷を蓄えるための部分であり、例えばシリコン酸化膜またはシリコン酸化膜とシリコン窒化膜との積層構造で構成されている。プレート電極27cは、例えば低抵抗ポリシリコンまたはタングステンからなる。また、ビット線BLは、例えばアルミニウムまたはアルミニウム-シリコン-銅合金からなり、キャパシタCの上層に層間絶縁膜20aを介して形成されている。

【0094】一方、周辺回路領域にはnMISQN3が示されている。このnMISQN3は、一対の半導体領域28nd, 28ndとゲート絶縁膜16i2とゲート電極17gとを有している。半導体領域28ndには、例えばリンまたはヒ素が導入されている。ゲート絶縁膜16i2の厚さは、例えば4.5nm程度に形成した。ゲート電極17g上には、例えばシリコン酸化膜またはシリコン窒化膜からなるキャップ絶縁膜26が形成されている。このnMISQN3の一方の半導体領域28nd

dには第1層目の配線19L1が電氣的に接続され、他方の半導体領域28ndには第2層目の配線19L2が電氣的に接続されている。なお、図13および図14には第2の配線層までの工程により形成した構造のみを示し、それ以降の工程による構造は省略した。

【0095】このような本実施の形態2においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることができた。

【0096】すなわち、メモリセルMC部分には1種ゲート絶縁膜プロセスを用いた場合よりも相対的に厚いゲート絶縁膜16i1を形成することができたので、キャパシタCに電荷を蓄積する際の書き込み電圧を高く設定でき蓄積電荷量が増加した。これにより、データ保持特性、雑音耐性、ソフトエラー耐性が向上した。他方、周辺回路においては1種ゲート絶縁膜プロセスを用いた場合よりもゲート絶縁膜16i2を薄くすることができたので動作速度が向上した。

【0097】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0098】例えば前記実施の形態2においては、ビット線がキャパシタの上に設けられる構造とした場合について説明したが、これに限定されるものではなく、例えばビット線がキャパシタの下に設けられる構造としても良い。また、そのキャパシタも平面型に限定されるものではなく、例えばクラウン型やフィン型でも良い。

【0099】また、前記実施の形態1においては本発明をマイクロプロセッサに適用し、前記実施の形態2においては本発明をDRAMに適用した場合について説明したが、これに限定されるものではなく種々適用可能であり、例えばSRAMやマスクROM(Read Only Memory)等のような他の半導体メモリまたはメモリ回路とロジック回路とを同一素子形成基板上に設けたメモリーロジック混在型の半導体集積回路装置等、他の半導体集積回路装置に適用することもできる。

【0100】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0101】(1).本発明によれば、エピタキシャル成長法で形成された結晶欠陥が極めて少ない半導体単結晶層上に相対的に厚さの異なる複数種のゲート絶縁膜を形成することにより、ゲート絶縁膜の形成プロセス中においてゲート絶縁膜中に生じる欠陥を低減できるので、2種以上のゲート絶縁膜を形成するためのプロセスにおいて必要な洗浄処理に起因してゲート絶縁膜中の欠陥がゲート絶縁破壊をもたらす重度の欠陥に変質する現象を低減することができる。このため、相対的に厚さの異なるゲ

ート絶縁膜の絶縁破壊の発生率を低減することができるので、その絶縁破壊に起因する半導体集積回路装置の不良発生率を低減することができる。

【0102】(2).本発明によれば、半導体基板にゲッタリング機能を付加したことにより、2種以上のゲート絶縁膜を形成するためのプロセスにおいて必要な洗浄処理を軽減することができるので、相対的に厚い方のゲート絶縁膜の膜厚制御性および均一性を向上させることができる。

【0103】(3).上記(1)、(2)により、半導体集積回路装置の歩留まり、信頼性および電氣的特性を向上させることが可能となる。

【0104】(4).上記(1)、(2)および(3)により、信頼性が高く、電氣的性能の高い半導体集積回路装置のコスト低減を推進することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の平面図である。

【図2】図1の半導体集積回路装置の要部断面図である。

【図3】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図4】前図に続く図1に示す半導体集積回路装置の製造工程中の要部断面図である。

【図5】図4に続く図1に示す半導体集積回路装置の製造工程中の要部断面図である。

【図6】図5に続く図1に示す半導体集積回路装置の製造工程中の要部断面図である。

【図7】図6に続く図1に示す半導体集積回路装置の製造工程中の要部断面図である。

【図8】本発明によるゲート酸化膜の信頼性の向上をより明確にするための実験結果であって厚さ4.5nmのゲート酸化膜におけるゲート酸化膜電界強度とゲート酸化膜累積欠陥密度との関係を示すグラフ図である。

【図9】本発明によるゲート酸化膜の信頼性の向上をより明確にするための実験結果であって厚さ8nmのゲート酸化膜におけるゲート酸化膜電界強度とゲート酸化膜累積欠陥密度との関係を示すグラフ図である。

【図10】本発明によるゲート酸化膜の信頼性の向上をより明確にするための実験結果であってゲート酸化膜電界強度とゲート酸化膜累積欠陥密度との関係を示すグラフ図である。

【図11】ゲート酸化膜の欠陥密度を8MV/cmの電界強度で判定する根拠を説明するための図であってゲート酸化膜電界強度と平均寿命との関係を示すグラフ図である。

【図12】本発明を適用するのに特に有効なゲート絶縁膜厚の範囲を説明するための図であってエッチング膜厚と電界強度8MV/cmにおける累積欠陥密度との関係を示すグラフ図である。

【図13】本発明の他の実施の形態である半導体集積回路装置のメモリセルにおける要部断面図である。

【図14】本発明の他の実施の形態である半導体集積回路装置の周辺回路領域における要部断面図である。

【符号の説明】

- 1 素子形成用基板
- 1s 半導体基板
- 1e エピタキシャル層（半導体単結晶層）
- 2 入出力回路領域
- 3 フェーズロックループ回路領域
- 4 命令キャッシュ回路領域
- 5 データキャッシュ回路領域
- 6 浮動小数点演算回路領域
- 7 バスインターフェース回路領域
- 8 入出力制御回路領域
- 9 中央演算回路領域
- 10 演算制御回路領域
- 11 キャッシュ制御回路領域
- 12 その他の回路領域
- 13NW1, 13NW2 n ウエル
- 13PW1, 13PW2 p ウエル
- 14 分離部
- 14a 浅溝
- 14b 分離用絶縁膜
- 14A 分離部
- 15pd 半導体領域
- 15pd1 低濃度領域
- 15pd2 高濃度領域
- 15nd1 低濃度領域
- 15nd2 高濃度領域
- 15d3 シリサイド層
- 16i ゲート絶縁膜（第1のゲート絶縁膜）
- 16i1 ゲート絶縁膜（第1のゲート絶縁膜）
- 16i2 ゲート絶縁膜（第2のゲート絶縁膜）

- 16i3 ゲート絶縁膜（第3のゲート絶縁膜）
- 17 導体膜
- 17g ゲート電極
- 17g1 導体膜
- 17g2 シリサイド層
- 18 サイドウォール
- 19L1～19L5 配線
- 20a～20e 層間絶縁膜
- 21a～21e 接続孔
- 22a～22e プラグ
- 23 表面保護膜
- 24a, 24b フォトリソグパターン（第1、第2のマスキング）
- 25nd 半導体領域
- 26 キャップ絶縁膜
- 27a 蓄積電極
- 27b 容量絶縁膜
- 27c プレート電極
- 28nd 半導体領域
- 29a 半導体領域
- 29b 半導体領域
- 30f フローティングゲート電極
- 30c コントロールゲート電極
- 31 層間膜
- 32nd 半導体領域
- BP ボンディングパッド
- QN1, QN2, QN3 nチャネル型のMIS-FET
- QP1, QP2 pチャネル型のMIS-FET
- Q メモリセル選択MIS-FET
- 30 C キャパシタ
- Qm MIS-FET
- BLs サブビット線
- BLm メインビット線

【図3】

【図4】

図 3

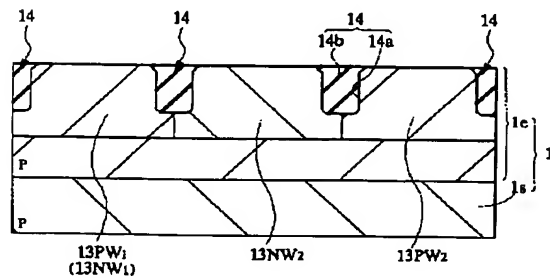
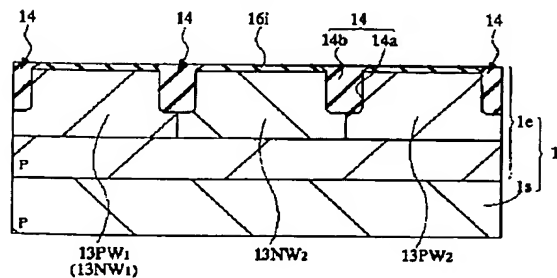
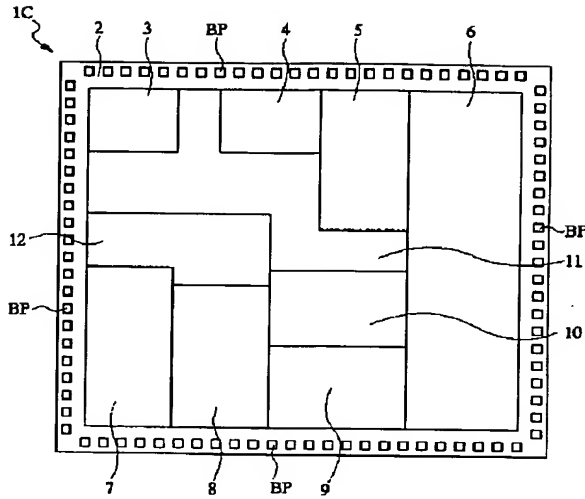


図 4



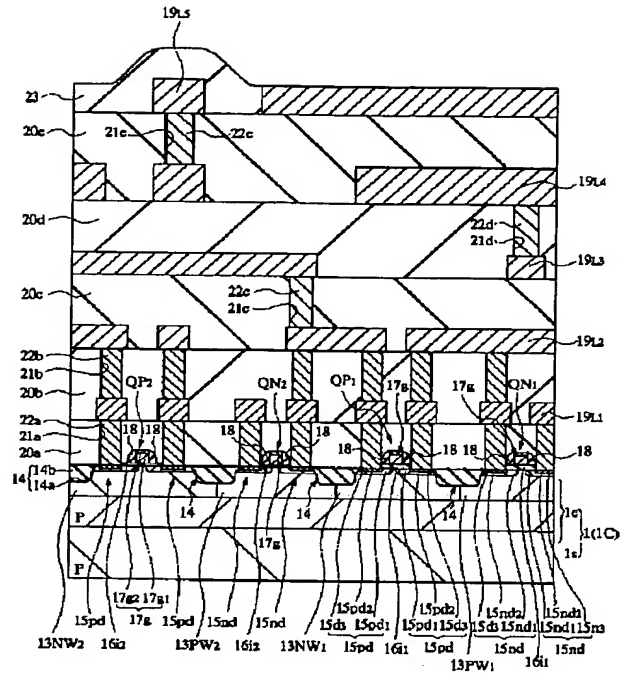
【図1】

図 1



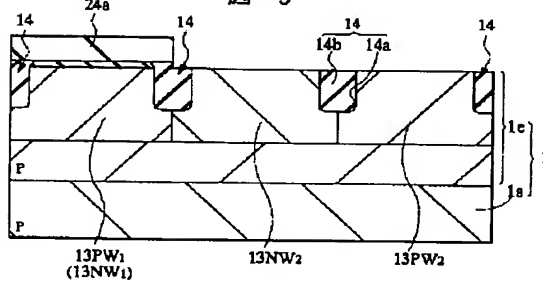
【図2】

図 2



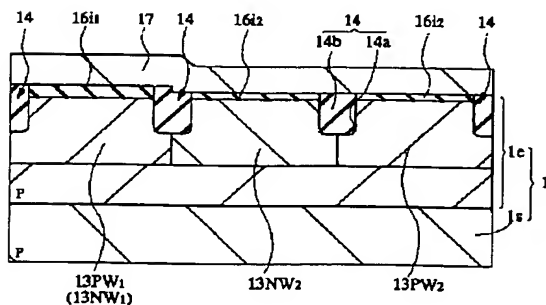
【図5】

図 5



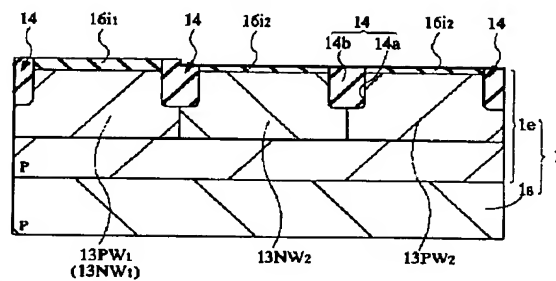
【図7】

図 7



【図6】

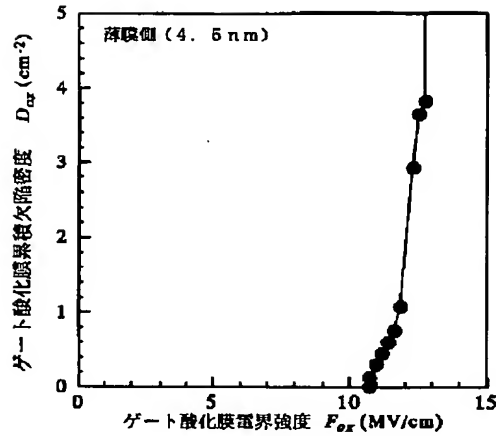
図 6



1: 素子形成用基板
16i1: ゲート絶縁膜(第1のゲート絶縁膜)
16i2: ゲート絶縁膜(第2のゲート絶縁膜)
1e: エピタキシャル層(半導体結晶層)
1s: 半導体基板

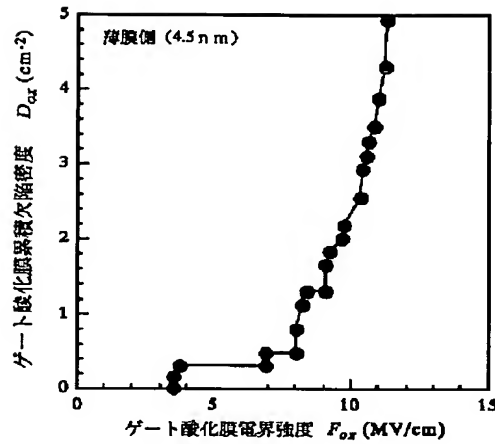
【図8】

図 8



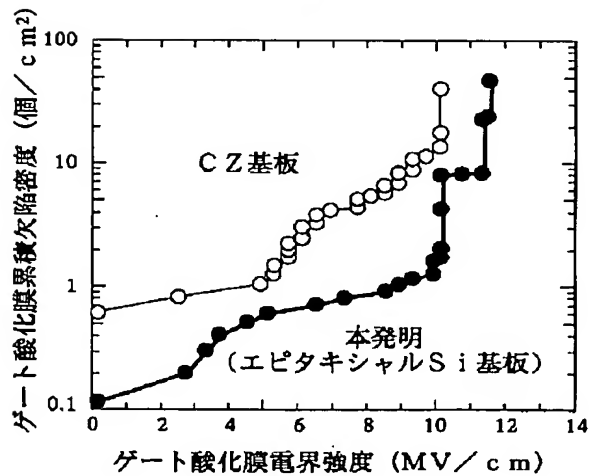
【図9】

図 9



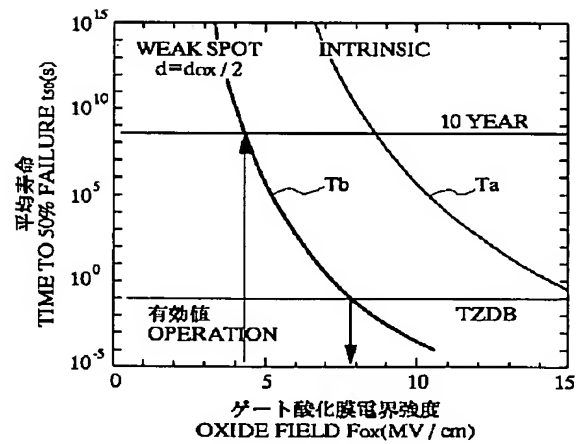
【図10】

図 10

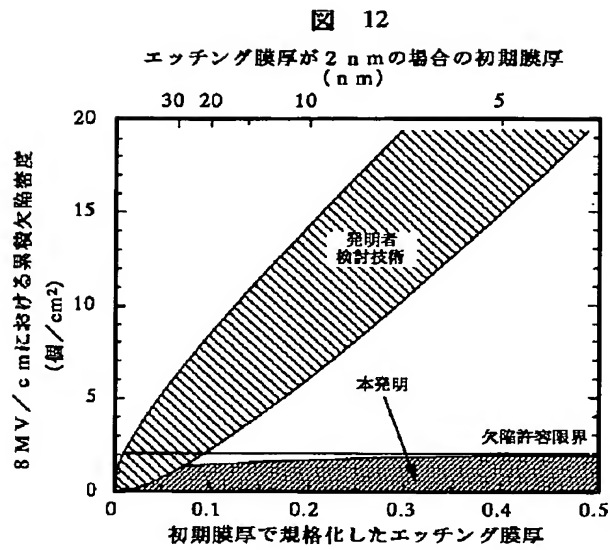


【図11】

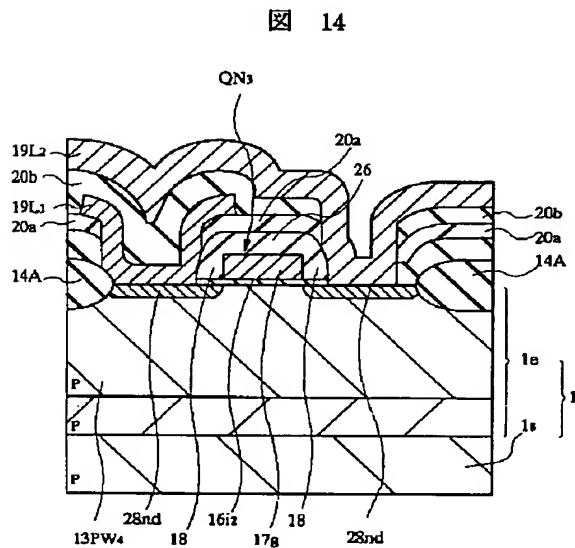
図 11



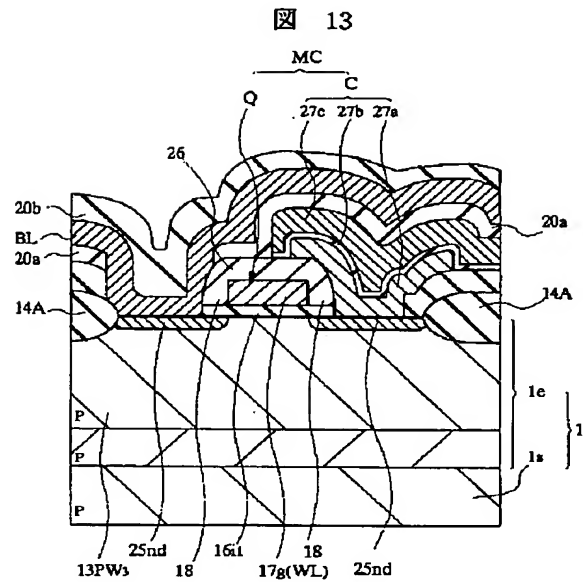
【図12】



【図14】



【図13】



フロントページの続き

(72)発明者 鈴木 範夫
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 神田 隆行
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 ▲高▼橋 健治
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 清水 博文
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内